

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127746

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H04L 7/08

H04L 12/28

(21)Application number : 11-303753

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.10.1999

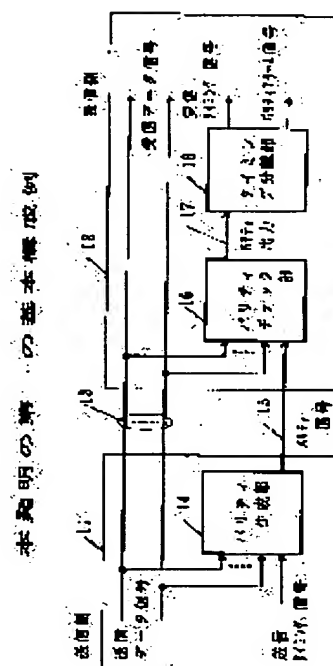
(72)Inventor : TANAKA ATSUSHI
KUSAYANAGI MICHIO

(54) TIMING TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a timing transmission system which does not send independent timing information on a transmission side, but extracts the timing information on a reception side when constant-cycle timing information is needed on the reception side together with data in parallel transmission.

SOLUTION: On the transmission side, a parity generating means is arranged which generates a parity signal from an information series to be sent and a constant-cycle timing signal, and on the reception side, a parity check means which checks parity with the parity signal and information series received in parallel, and a timing separating means which extracts the timing signal from the output of the parity check means by making use of the constant cycle of the timing signal are arranged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-127746

(P2001-127746A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 L 7/08

H 0 4 L 7/08

Z 5 K 0 3 0

12/28

11/20

D 5 K 0 4 7

9 A 0 0 1

審査請求 未請求 請求項の数5 O L (全 14 頁)

(21)出願番号

特願平11-303753

(22)出願日

平成11年10月26日(1999. 10. 26)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 田中 淳

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 草柳 道夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100108187

弁理士 横山 淳一

最終頁に続く

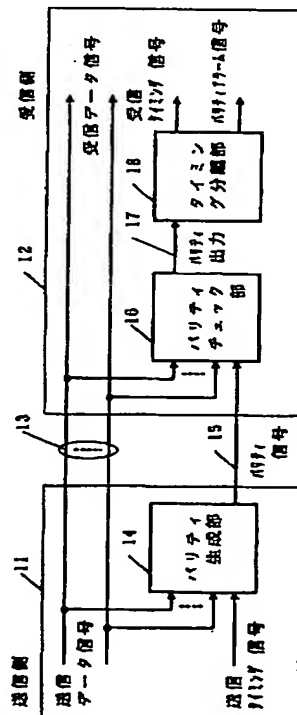
(54)【発明の名称】 タイミング伝送方式

(57)【要約】

【課題】 並列伝送の場合に、受信側でデータと共に一定周期のタイミング情報とを必要とする時、送信側にて独立したタイミング情報を送信せずに、受信側でタイミング情報を抽出するタイミング伝送方式の提供をする。

【解決手段】 送信側に、送信すべき情報列と一定周期のタイミング信号とからパリティ信号を生成するパリティ生成手段を配置し、受信側に、並列に受信される該パリティ信号と該情報列とによりパリティチェックをするパリティチェック手段と、該パリティチェック手段の出力より該タイミング信号が一定周期であることを利用してタイミング信号を抽出するタイミング分離手段を配置する。

本発明の第一の実施形態の構成例



【特許請求の範囲】

【請求項1】 送信側に、送信すべき情報列と一定周期のタイミング信号とからパリティ信号を生成するパリティ生成手段を配置し、

受信側に、並列に受信される該パリティ信号と該情報列とによりパリティチェックをするパリティチェック手段と、該パリティチェック手段の出力より該タイミング信号が一定周期であることを利用してタイミング信号を抽出するタイミング分離手段を配置することを特徴とするタイミング伝送方式。

【請求項2】 送信側に、送信すべき情報列からパリティ列を生成するパリティ生成手段と、該パリティ列と一定周期のタイミング信号との排他的論理和演算を行ってパリティ信号を出力する排他的論理和生成手段を配置し、

受信側に、並列に受信される該パリティ信号と該情報列とによりパリティチェックをするパリティチェック手段と、該パリティチェック手段の出力より該タイミング信号が一定周期であることを利用してタイミング信号を抽出するタイミング分離手段を配置することを特徴とするタイミング伝送方式。

【請求項3】 請求項1または請求項2に記載のタイミング伝送方式にあって、

前記タイミング分離手段は、

前記パリティチェック手段の出力と該パリティチェック手段の出力の反転信号の内的一方を選択してタイミング信号を得る選択手段と、

該タイミング信号を一定時間遅延させて遅延信号を得る遅延手段と、

該遅延信号と該パリティチェック手段の出力との排他的論理和演算を行うことにより該選択手段の選択動作を制御する選択信号を得る排他的論理和生成手段とを具備することを特徴とするタイミング伝送方式。

【請求項4】 請求項1または請求項2に記載のタイミング伝送方式にあって、

前記タイミング分離手段は、

前記パリティチェック手段の出力と該パリティチェック手段の出力の反転信号の内的一方を選択してタイミング信号を得る選択手段と、

該タイミング信号を一定時間遅延させて遅延信号を得る遅延手段と、

該遅延信号と該パリティチェック手段の出力との排他的論理和演算を行うことにより該選択手段の選択動作を制御する選択信号を得る排他的論理和生成手段と、

該パリティチェック手段の出力と該選択信号とが、該パリティチェック手段の出力が特定状態時に一定回数連続して一致した時、該選択手段の選択動作を一定期間一方に固定する信号を得る連続一致検出手段とを具備することを特徴とするタイミング伝送方式。

【請求項5】 請求項4に記載のタイミング伝送方式に

あって、

前記タイミング分離手段は、

前記排他的論理和演算の結果を、リセット解除後の同期確立過程においてはマスクするマスク手段を有することを特徴とするタイミング伝送方式。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、データと共に、該データの区切りを示すタイミング情報と、パリティ情報を含む制御情報とを伝送する際のタイミング伝送方式に関する。

【0002】近年、情報はフレーム、セルなどと呼ばれる単位（以下ブロックと総称する。）で伝送されて処理されることが多く、一つ以上のデータ信号と付随する複数の制御信号が並列伝送される際には信号数の増加に伴って信号線数も多くなるため制御信号数の減少化が求められている。

【0003】

【従来の技術】非同期転送モード（以下ATMと称する。）においてはATMセルと呼ばれる固定長データを扱っており、図10は従来のATMセルのフォーマットであり、図11は従来のATMセル伝送においてタイミング信号を並列伝送する例である。

【0004】図10及び図11において、一つのセルは一行が8ビット（1バイト）、全部で53行（53バイト）にて構成されており、1はVPI（Virtual Path Identifierの略で、仮想パス識別子）フィールド、2はVCI（Virtual Channel Identifierの略で、仮想チャネル識別子）フィールド、3はPTI（Payload Type Identifierの略で、ペイロード・タイプ識別子）フィールド、4はCLP（Cell Loss Priorityの略で、セル損失優先表示）フィールド、5はHEC（Header Error Controlの略で、ヘッダ誤り制御）フィールドであって、この五つのフィールドにて5バイトのヘッダ部が構成されている。6はペイロードであり情報（データ）が載るフィールドであって48バイトにて構成されている。

【0005】また、図11において7はタイミング信号である。

【0006】ヘッダ部の内のVPIフィールド1、VCIフィールド2、PTIフィールド3およびCLPフィールド4の四つのフィールドの内容については、本発明に特に関係が無いので説明を省略する。

【0007】HECフィールド5には、該四つのフィールド（4バイト）を保護するために誤りを検出・訂正するためのCRC（巡回冗長符号）が含まれる。

【0008】従って、送信されたATMセルを受信した時、図10の矢印にて示す順にバイト・バイト・バイトにCRCチェック演算を行い、演算結果が零になるところでHECフィールド5が認識されることによりATMセルの先頭が認識でき、データの区切り、即ち何処から何

処までが一つのATMセルかが判る。

【0009】以上、ITU-T (International Telecommunication Union-Telecommunication Standardization Sectorの略で、国際通信連合の規格制定のセクションである。) 勧告の標準的なATMセルについて記述したが、HECフィールド5をベンダが自由に処理できるためCRCチェックとセル先頭のオーバーヘッドを削減するために図11に示すタイミング信号7を並行して伝送することが多い。

【0010】また、図示していないが、伝送誤りをチェックするための垂直パリティ信号、高速の伝送の場合にはクロック信号、セルが有効か無効かを示す有効無効識別信号等を並列に伝送することもある。

【0011】そして、データ信号を含む信号線数を削減するために、伝送速度の高速化に伴うもののデータ信号の多重化、有効無効識別としてタイミング信号を1ビット幅と2ビット幅の併用等の例がある。

【0012】しかしながら、データ信号の他に、タイミング信号、パリティ信号、クロック信号程度は一般的に並行伝送させることが必須となっている。

【0013】

【発明が解決しようとする課題】従って、本来のデータ信号以外に並列伝送すべき制御信号があるため信号線数が多くなる。特に複数の盤または装置を相手にデータ信号を送受する盤または装置の場合には特に問題となるため、以下図に添って説明する。

【0014】図12は信号線数が多い例を示す。

【0015】8は多重/多重分離盤、 $9-1 \sim 9-m$ (m は正の整数) はそれぞれ伝送路インターフェース盤、 $10a-1 \sim 10a-m$ はそれぞれ下り信号線群、 $10b-1 \sim 10b-m$ はそれぞれ上り信号線群である。

【0016】多重/多重分離盤8は、多重化されているデータ信号を多重分離して、該多重分離したデータ信号と付随する制御信号とを、複数の伝送路インターフェース盤 $9-1 \sim 9-m$ に対してそれぞれ p 本 (p は正の整数) の信号線からなる下り信号線群 $10a-1 \sim 10a-m$ を経由して並列に伝送する。また、多重/多重分離盤8は、複数の伝送路インターフェース盤 $9-1 \sim 9-m$ それぞれからはデータ信号と付随する制御信号とをそれぞれ q 本 (q は正の整数) の上り信号線群 $10b-1 \sim 10b-m$ を経由して並列伝送により受信し、該受信したデータを多重化する。

【0017】従って、多重/多重分離盤8には合計 ($p+q$) $\times m$ 本の信号線を接続する必要があるため、構造上の制限等から接続するコネクタ数が制限され、その結果、該コネクタの合計ピン数の不足により伝送路インターフェース盤 $9-1 \sim 9-m$ の数を減少させる等の仕様低下をまねく危険性を有するという問題がある。

【0018】また、特に高速伝送の場合には信号線数が

多いと消費電力の上昇をまねくという課題もある。

【0019】本発明は、この問題に鑑み、制御情報として少なくともタイミング情報とパリティ情報を伝送する必要がある時、独立したタイミング情報を送信せずに、受信側でタイミング情報を抽出するタイミング伝送方式の提供を目的とする。

【0020】

【課題を解決するための手段】上記の目的を達成するために、本発明に係るタイミング伝送方式では、送信側に、送信すべき情報列と一定周期のタイミング信号とからパリティ信号を生成するパリティ生成手段を配置し、受信側に、並列に受信される該パリティ信号と該情報列とによりパリティチェックをするパリティチェック手段と、該パリティチェック手段の出力より該タイミング信号が一定周期であることを利用してタイミング信号を抽出するタイミング分離手段を配置する。

【0021】また、本発明に係るタイミング伝送方式において、送信側に、送信すべき情報列からパリティ列を生成するパリティ生成手段と、該パリティ列と一定周期のタイミング信号との排他的論理和演算を行ってパリティ信号を出力する排他的論理和生成手段を配置し、受信側に、並列に受信される該パリティ信号と該情報列とによりパリティチェックをするパリティチェック手段と、該パリティチェック手段の出力より該タイミング信号が一定周期であることを利用してタイミング信号を抽出するタイミング分離手段を配置してもよい。

【0022】そして、本発明に係るタイミング伝送方式において、前記タイミング分離手段は、前記パリティチェック手段の出力と該パリティチェック手段の出力の反転信号の内的一方を選択してタイミング信号を得る選択手段と、該タイミング信号を一定時間遅延させて遅延信号を得る遅延手段と、該遅延信号と該パリティチェック手段の出力との排他的論理和演算を行うことにより該選択手段の選択動作を制御する選択信号を得る排他的論理和生成手段とを具備してもよい。

【0023】更に、本発明に係るタイミング伝送方式において、前記タイミング分離手段は、前記パリティチェック手段の出力と該パリティチェック手段の出力の反転信号の内的一方を選択してタイミング信号を得る選択手段と、該タイミング信号を一定時間遅延させて遅延信号を得る遅延手段と、該遅延信号と該パリティチェック手段の出力との排他的論理和演算を行うことにより該選択手段の選択動作を制御する選択信号を得る排他的論理和生成手段と、該パリティチェック手段の出力と該選択信号とが、該パリティチェック手段の出力が特定状態時に一定回数連続して一致した時、該選択手段の選択動作を一定期間一方に固定する信号を得る連続一致検出手段とを具備してもよい。

【0024】また、本発明に係るタイミング伝送方式において、前記タイミング分離手段は、前記遅延信号と前

記パリティチェック手段の出力との排他的論理和演算の結果を、リセット解除後の同期確立過程においてはマスクするマスク手段を有してもよい。

【0025】送信側では特別にタイミング信号を送送せずに、情報列とタイミング信号とから生成したパリティ信号を該情報列と共に並列伝送し、受信側では伝送されてきた該パリティ信号と該情報列とをパリティチェックし、該タイミング信号が一定周期信号であることを利用して該パリティチェックの結果を操作してタイミング信号を抽出すると共に、前記排他的論理和演算の結果を、前記選択手段の制御に使う他パリティ誤りの有無を示すパリアラーム信号としている。そして、初期状態時や該タイミング信号に擦れが生じた時には、該パリティチェックの結果と該パリアラーム信号との状態の関係を連続的に比較してタイミング信号の引込み、即ち、同期確立を図っている。更に、電源がOFFからONになる初期状態時等には、リセット解除後の同期確立過程においてパリアラーム信号をマスクすることによりパリティ誤りの状態が発生することを抑圧している。

【0026】したがって、独立したタイミング信号を情報列と平行して伝送する必要が無いので信号線の数を減少させることができる。

【0027】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら説明する。

【0028】図1は本発明の第一の基本構成例であり、図2は本発明の第一の基本構成例に係るタイムチャートである。

【0029】図1において、11は送信側、12は受信側、13は複数のデータ信号線、14はパリティ生成部、15はパリティ信号線、16はパリティチェック部、17はパリティ出力線、18はタイミング分離部であり、送信側11はパリティ生成部14より構成され、受信側12はパリティチェック部16とパリティ出力線17とタイミング分離部18とから構成される。

【0030】送信側11では、複数の送信データ信号と該送信データ信号の区切りを示す送信タイミング信号がパリティ生成部14に入力され、生成されたパリティ信号がパリティ信号線15を経由して受信側12に送られると共に、該複数の送信データ信号も複数のデータ信号線13により並列に受信側12に送られる。

【0031】受信側12では、送られてきた該複数の送信データ信号は受信データ信号となって図示されていないが処理されると共に、該パリティ信号と共にパリティチェック部16に入力され、パリティチェック部16の出力はパリティ出力としてパリティ出力線17を経由してタイミング分離部18に入力される。そしてタイミング分離部18では受信タイミング信号とパリアラーム信号と、図示していないが必要に応じてマスク信号が出力されて、やはり図示されていない処理部にて処理され

る。

【0032】図2において、複数の送信データ信号と複数の受信データ信号とは、代表してそれぞれ一つの送信データ信号と受信データ信号を図示している。また、一つのセルは固定長で8ビットの該送信データ信号より成り、送信タイミング信号は一つのセルの先頭ビットを示していて、一定周期（8ビット毎）で「1」となる。そして、該送信データ信号と該送信タイミング信号とは図1のパリティ生成部14にて奇数パリティが生成されてパリティ信号として該送信データ信号と共に受信側12に並列伝送される。

【0033】図2の受信データ信号は、該送信データ信号と比較すると明らかであるがBとCで示すビットが誤って送られてきた例である。そして、図1のパリティチェック部16にて奇数パリティチェックをした結果がパリティ出力で、パリティ出力のAで示すビットは送信タイミング信号のセルの先頭ビットと同タイミングで「1」となり、Dで示すビットは該Bで示すビットが誤っているために「0」となる筈が「1」となり、Eで示すビットは該Cで示すビットが誤っているために「1」となる筈が「0」となる。

【0034】次に、該パリティ出力において、図1のタイミング分離部18では一定周期（8ビット毎）で出現する「1」の時点を基準にして、該一定周期で出現するビットが「1」であっても「0」であっても受信タイミング信号を「1」とし、該「1」以外の該受信タイミング信号のビットは「0」とする。

【0035】そして、該パリティ出力にて該一定周期で出現するビットの時点で「0」の時及び該時点以外の時点で「1」の時には、パリアラーム信号を「1」として誤りがあることを示す。

【0036】従って、図2に示す場合には、正常な受信タイミング信号と該BとCの位置で誤りを発生していることを示すパリアラーム信号を得る。

【0037】このようにして該受信タイミング信号と該パリアラーム信号を得ることにより、セルの区切りと受信データ信号の誤り有無とを検知することができる。

【0038】図3は本発明の第二の基本構成例であり、11aは送信側、12は受信側、13は複数のデータ信号線、14aはパリティ生成部、15はパリティ信号線、16はパリティチェック部、17はパリティ出力線、18はタイミング分離部、19はXOR回路（排他的論理和演算回路）である。つまり、送信側11はパリティ生成部14aとXOR回路19により構成され、受信側12はパリティチェック部16とパリティ出力線17とタイミング分離部18とから構成される。

【0039】送信側11aでは、複数の送信データ信号がパリティ生成部14aに入力され、パリティ生成部14aにて生成された奇数パリティ情報が送信タイミング

信号と共にXOR回路19に入力され、XOR回路19にて排他的論理和演算がされた出力がパリティ信号としてパリティ信号線15を経由して受信側12に送られる。該パリティ信号は図2におけるパリティ信号と全く同じになる。そして、該複数の送信データ信号も複数のデータ信号線13により並走して受信側12に送られる。

【0040】受信側12は図1に示す受信側12と全く同じなので説明を省略する。

【0041】図4は本発明の受信側の第一の具体的構成例であって、図1及び図3の受信側12の具体的構成例を示す。また、図5は本発明の受信側の第一の具体的構成例に係るタイムチャートである。

【0042】図4において、13は複数のデータ信号線、15はパリティ信号線、16はパリティチェック部、17はパリティ出力線、18はタイミング分離部、21は選択回路、22はシフトレジスタ、23はXOR回路、24は反転回路である。つまり、タイミング分離部18は、パリティ出力線17と選択回路21とシフトレジスタ22とXOR回路23と反転回路24とから構成されている。

【0043】受信側12では、複数のデータ信号線13により送られてくる複数のデータ信号は受信データ信号となって図示されていないが処理されると共に、パリティ信号線15により送られてくるパリティ信号と共にパリティチェック部16に入力され、パリティチェック部16の出力はパリティ出力としてパリティ出力線17を経由して選択回路21の片方の入力と反転回路24の入力とXOR回路23の片方の入力とに送られ、反転回路24により該パリティ出力が反転された反転出力は選択回路21の他方の入力に送られる。

【0044】選択回路21では、該パリティ出力と該反転出力の内的一方が後述のパリティアラーム信号の制御により選択されて、受信タイミング信号として出力されると共にシフトレジスタ22に入力される。そして、シフトレジスタ22において一セル長遅延された出力は、XOR回路23の他方の入力に送られ、XOR回路23の出力はパリティアラーム信号として出力されると共に、選択回路21に送られて選択動作を制御する。

【0045】図5において、セルと送信データ信号と送信タイミング信号とパリティ信号と受信データ信号とパリティ出力とは図2での説明と全く同様なので、ここでの説明は省略する。但し、送信データ信号と送信タイミング信号とは図4の受信側12の中には出てこないが理解を深めるために記載している。

【0046】受信タイミング信号は、該パリティ出力と図5には記載されていないが該パリティ出力を反転した反転出力の内的一方を、図4の選択回路21において後述するパリティアラーム信号の制御のもとで選択したものである。つまり、パリティアラーム信号が「1」（誤

りを示している）の時には該反転出力を選択し、「0」（誤りではない）の時には該パリティ出力を選択する。従って、該受信タイミング信号において、Fで示されているビットは該反転出力が、その他のビットは該パリティ出力が選択されているので、該送信タイミング信号と同じ受信タイミング信号が得られる。

【0047】そして、該受信タイミング信号（シフトレジスタ入力）が図4のシフトレジスタ22において一セル長遅延されたシフトレジスタ出力と該パリティ出力とが図4のXOR回路23にて排他的論理和演算をなされた結果が前述のパリティアラーム信号となる。

【0048】以上のように、セルが固定長であることをよりタイミング信号が一定周期で繰り返されることを利用して、該パリティ出力より該受信タイミング信号と該パリティアラーム信号を得る。

【0049】図6は本発明の受信側の第二の具体的構成例であって、図1及び図3の受信側12の具体的構成例を示す。また、図7は本発明の受信側の第二の具体的構成例に係るタイムチャートである。

【0050】図6において、13は複数のデータ信号線、15はパリティ信号線、16はパリティチェック部、17はパリティ出力線、18はタイミング分離部、21は選択回路、22はシフトレジスタ、23はXOR回路、24は反転回路であり、25は連続一致検出回路、26は反転回路、27はOR回路（論理和演算回路）である。つまり、タイミング分離部18は、パリティ出力線17と選択回路21とシフトレジスタ22とXOR回路23と反転回路24と連続一致検出回路25と反転回路26とOR回路27とから構成されている。

【0051】受信側12では、複数のデータ信号線13にて送られてくる複数のデータ信号は受信データ信号となって図示されていないが処理されると共に、パリティ信号線15により送られてくるパリティ信号と共にパリティチェック部16に入力され、パリティチェック部16の出力はパリティ出力としてパリティ出力線17を経由して選択回路21の片方の入力と反転回路24の入力とXOR回路23の片方の入力と連続一致検出回路25の片方の入力とに送られ、反転回路24により該パリティ出力が反転された反転出力は選択回路21の他方の入力に送られる。

【0052】選択回路21では、該パリティ出力と該反転出力の内的一方が、後述のマスク信号と、同じく後述の反転パリティアラーム信号との論理和演算がなされた信号の制御により選択されて、受信タイミング信号として出力されると共にシフトレジスタ22に入力される。そして、シフトレジスタ22において一セル長遅延された出力は、XOR回路23の他方の入力に送られ、XOR回路23の出力はパリティアラーム信号として出力されると共に、反転回路26と連続一致検出回路25の他方の入力に送られる。

【0053】連続一致検出回路25では、該パリティ出力が「1」の時点で、該パリティアラーム信号に誤りが連続M回(Mは正の整数)発生しているとマスク信号を発すると共に該マスク信号をOR回路27の片方の入力に送る。

【0054】そして、反転回路26の出力である反転パリティアラーム信号がOR回路27の他方の入力に送られ、OR回路27では該マスク信号と該反転パリティアラーム信号との論理和演算がなされて、該論理和演算の結果が選択回路21に送られて選択回路21の選択動作を制御する。

【0055】図7において、基本的に一つのセルは固定長で8ビットより成り、送信タイミング信号は一つのセルの先頭ビットを示しているが、送信側においてセル2の途中でタイミングの擦れが発生して図7には示されていない複数のデータを含むセル2は不完全のまま、セル3になった例を示している。但し、送信タイミング信号は図6の受信側12の中には出てこないが理解を深めるために記載している。そして、パリティ出力は、図6の複数のデータ信号線13にて送られてくる該複数のデータ信号とパリティ信号線15により送られてくるパリティ信号をパリティチェック部16にてチェックされた結果であって、送られてくる該複数のデータと該パリティ信号に誤りが無い限り該送信タイミング信号と同じ信号となる。

【0056】受信タイミング信号(シフトレジスタ入力)は、該パリティ出力と図7には記載されていないがパリティ出力を反転した反転出力の内の一方を、図6の選択回路21において、後述のマスク信号と同じく後述の反転パリティアラーム信号との論理和演算がなされた信号の制御により選択されたものである。

【0057】シフトレジスタ出力は、図6のシフトレジスタ22の出力であって、該受信タイミング信号(シフトレジスタ入力)が一セル長(8ビット)遅延したものである。

【0058】パリティアラーム信号は、該パリティ出力と該シフトレジスタ出力とを図6のXOR回路23にて排他的論理和演算をなされた結果である。そして、該パリティアラーム信号中の「1」は誤りが発生していることを示している。但し、図7における該誤りは送信されてくる途中での誤りではなく、前記タイミングの擦れの影響によるものである。

【0059】連続一致検出回路25の、一致計数点と一致計数値とマスク信号とは図6の連続一致検出回路25の動作を説明するもので、該一致計数点は該パリティ出力において「1」となっている時点を示す。そして、該一致計数点で連続して該パリティアラーム信号が「1」、即ち誤りが発生しているか否かを観測し、誤りが連続発生している回数を該一致計数値に示している。つまり、誤りが連続していると該一致計数値は累積し、

誤りが途切れると該一致計数値は「0」にリセットされる。該一致計数値がM(ここでは、 $M=2$ としている)回になると該一致計数値を「0」にリセットすると共に、出力として常時は「0」である該マスク信号を、一セル長(8ビット)間「1」とする。

【0060】OR出力は、該パリティアラーム信号を反転した反転パリティアラーム信号と該マスク信号とが図6のOR回路27にて論理和演算された結果であって、図6の選択回路21を制御する。即ち、OR出力が「1」の時に該パリティ出力を選択し、「0」の時に該反転出力を選択して該受信タイミング信号(シフトレジスタ入力)とする。

【0061】以上説明したように、送信側にてセル3の時点でタイミングの擦れが発生しても、受信側ではセル5($M=2$ の時)の時点にて再同期確立が図られる。

【0062】また、該パリティアラーム信号と共にマスク信号も発することにより、図示していないが、エラー処理をする際に該マスク信号が「1」を示す以前の該パリティアラーム信号上の誤りは、データ誤りによるものではなく、タイミングの擦れによるものであることが判る。

【0063】図8は本発明の受信側の第三の具体的構成例であって、図1及び図3の受信側12の具体的構成例を示す。また、図9は本発明の受信側の第三の具体的構成例に係るタイムチャートである。

【0064】図8において、13は複数のデータ信号線、15はパリティ信号線、16はパリティチェック部、17はパリティ出力線、18はタイミング分離部、21は選択回路、22はシフトレジスタ、23はXOR回路、24は反転回路であり、25は連続一致検出回路、26は反転回路、27はOR回路、28はシフトレジスタ、29はAND回路(論理積演算回路)、30はリセット生成回路である。つまり、タイミング分離部18は、パリティ出力線17と選択回路21とシフトレジスタ22とXOR回路23と反転回路24と連続一致検出回路25と反転回路26とOR回路27とシフトレジスタ28とAND回路29とから構成されている。

【0065】受信側12では、複数のデータ信号線13にて送られてくる複数のデータ信号は受信データ信号となって図示されていないが処理されると共に、パリティ信号線15により送られてくるパリティ信号と共にパリティチェック部16に入力され、パリティチェック部16の出力はパリティ出力としてパリティ出力線17を経由して選択回路21の片方の入力と反転回路24の入力とXOR回路23の片方の入力と連続一致検出回路25の片方の入力とシフトレジスタ28のクロック入力とに送られ、反転回路24により該パリティ出力が反転された反転出力は選択回路21の他方の入力に送られる。

【0066】選択回路21では、該パリティ出力と該反転出力の内の一方が、後述のマスク信号と、同じく後述

の反転パリティアラーム信号との論理和演算がなされた信号の制御により選択されて、受信タイミング信号として出力されると共にシフトレジスタ22に入力される。そして、シフトレジスタ22において一セル長遅延された出力は、XOR回路23の他方の入力に送られ、XOR回路23の出力は反転回路26と連続一致検出回路25の他方の入力とAND回路29の片方の入力とに送られる。

【0067】連続一致検出回路25では、該パリティ出力が「1」の時点で、XOR回路23の出力に誤りが連続M回（Mは正の整数）発生しているとマスク信号を発すると共に該マスク信号をOR回路27の片方の入力に送る。

【0068】そして、反転回路26の出力である反転XOR信号がOR回路27の他方の入力に送られ、OR回路27では該マスク信号と該反転XOR信号との論理和演算がなされて、該論理和演算の結果が選択回路21に送られて選択回路21の選択動作を制御する。

【0069】リセット生成回路30では電源ON時より一定時間「0」を発するリセット信号を生成し、該リセット信号はシフトレジスタ22のリセット入力とM+1段（Mは正の整数で、ここではM=2で詳細は後述する。）のシフトレジスタ28のデータ入力とリセット入力とに送られる。そして、シフトレジスタ28の出力であるリセット遅延信号はAND回路29の他方の入力に送られて、AND回路29はパリティアラーム信号を発する。

【0070】図9では、受信側12における電源がONした直後のタイムチャートを示しており、基本的に一つのセルは固定長で8ビットより成り、送信タイミング信号は一つのセルの先頭ビットを示している。但し、送信タイミング信号は図8の受信側12の中には出てこないが理解を深めるために記載している。

【0071】リセット信号は図8のリセット生成回路30にて生成されるもので、電源ON直後は「0」であり一定時間後に「1」となり、「0」の時点では図8のシフトレジスタ22とシフトレジスタ28の全段を「0」にリセットし続け、該リセット信号が「1」になるとシフトレジスタ22とシフトレジスタ28は動作する。

【0072】そして、パリティ出力は、図8の複数のデータ信号線13にて送られてくる該複数のデータ信号とパリティ信号線15により送られてくるパリティ信号をパリティチェック部16にてチェックされた結果であって、送られてくる該複数のデータと該パリティ信号に誤りが無い限り該送信タイミング信号と同じ信号となる。

【0073】受信タイミング信号（シフトレジスタ入力）は、該パリティ出力と図9には記載されていないがパリティ出力を反転した反転出力の内の一方を、図8の選択回路21において、後述のマスク信号と同じく後述の反転XOR信号との論理和演算がなされた信号の制御

により選択されたものであり、セル4の先頭ビットのところで同期が確立している。

【0074】シフトレジスタ出力は、図8のシフトレジスタ22の出力であって、該受信タイミング信号（シフトレジスタ入力）が一セル長（8ビット）遅延したものである。但し、図9で最初の13ビット目迄は該リセット信号によりシフトレジスタ22が「0」にリセットされた結果が出力されている。

【0075】XOR出力は、該パリティ出力と該シフトレジスタ出力とを図8のXOR回路23にて排他的論理和演算をなされた結果である。そして、該XOR出力中の「1」は誤りが発生していることを示している。但し、図9における該誤りは送信されてくる途中での誤りではなく、電源ON時の立ち上がりの影響によるものである。

【0076】連続一致検出回路25の、一致計数点と一致計数値とマスク信号とは図8の連続一致検出回路25の動作を説明するもので、該一致計数点は該パリティ出力において「1」となっている時点を示す。そして、該一致計数点で連続して該XOR出力が「1」、即ち誤りが発生しているか否かを観測し、誤りが連続発生している回数を該一致計数値に示している。つまり、誤りが連続していると該一致計数値は累積し、誤りが途切れると該一致計数値は「0」にリセットされる。該一致計数値がM（ここでは、M=2としている）回になると該一致計数値を「0」にリセットすると共に、出力として常時は「0」である該マスク信号を、一セル長（8ビット）間「1」とする。

【0077】OR出力は、該XOR出力を反転した反転XOR信号と該マスク信号とが図8のOR回路27にて論理和演算された結果であって、図8の選択回路21を制御する。即ち、OR出力が「1」の時に該パリティ出力を選択し、「0」の時に該反転出力を選択して該受信タイミング信号（シフトレジスタ入力）とする。

【0078】リセット遅延信号は、該リセット信号を図8のM+1段（Mは連続一致検出回路25に於ける連続一致回数を何回にするかで決まり、ここではM=2）のシフトレジスタ28にて該パリティ出力をクロックとしてM+1段（3段）の遅延をさせたものである。

【0079】パリティアラーム信号は、図8のAND回路29にて該XOR出力と該リセット遅延信号との論理積演算の結果であり、該XOR出力における電源ON時の立ち上がりの影響を消去したものである。

【0080】尚、ここではセルを例に説明したが、セルにこだわらずデータと共に、該データの区切りを示す一定周期のタイミング情報と、パリティ情報を伝送する際に適用でき、データの区切りとしてここでは8ビットを例に説明したが特に8ビットに限定しない。また、連続一致回数について2回を例に説明したが特に2回に限定せず、複数回であれば何回でもよい。そしてパリティと

してここでは奇数パリティで説明したが偶数パリティでもよい。

【0081】更に、ここではデータとパリティ信号のみの並列伝送について説明したが、その他に制御信号やクロック信号が並列伝送されてもよく、また、ここでは説明していないが、必要に応じて随所にタイミング修正や波形整形の回路が挿入されてもよい。

【0082】

【発明の効果】前記のように、データと共に、該データの区切りを示す一定周期のタイミング情報と、パリティ情報を含む制御情報とを伝送する必要がある時、送信側で独立したタイミング情報を送信せずに、受信側でタイミング情報を抽出することにより、並列伝送のための信号線数を減少させることができるため、特に複数の装置や回路とそれぞれ独立したデータを送受する装置や回路においてコネクタのピン数の不足による仕様低下の回避が期待できる効果があり、また、特に高速伝送の場合に消費電力の上昇を抑える効果もある。

【図面の簡単な説明】

【図1】 本発明の第一の基本構成例。

【図2】 本発明の第一の基本構成例に係るタイムチャート。

【図3】 本発明の第二の基本構成例。

【図4】 本発明の受信側の第一の具体的構成例。

【図5】 本発明の受信側の第一の具体的構成例に係るタイムチャート。

【図6】 本発明の受信側の第二の具体的構成例。

【図7】 本発明の受信側の第二の具体的構成例に係るタイムチャート。

【図8】 本発明の受信側の第三の具体的構成例。

【図9】 本発明の受信側の第三の具体的構成例に係るタイムチャート。

【図10】 従来のATMセルのフォーマット。

【図11】 従来のATMセル伝送においてタイミング信号を並列伝送する例。

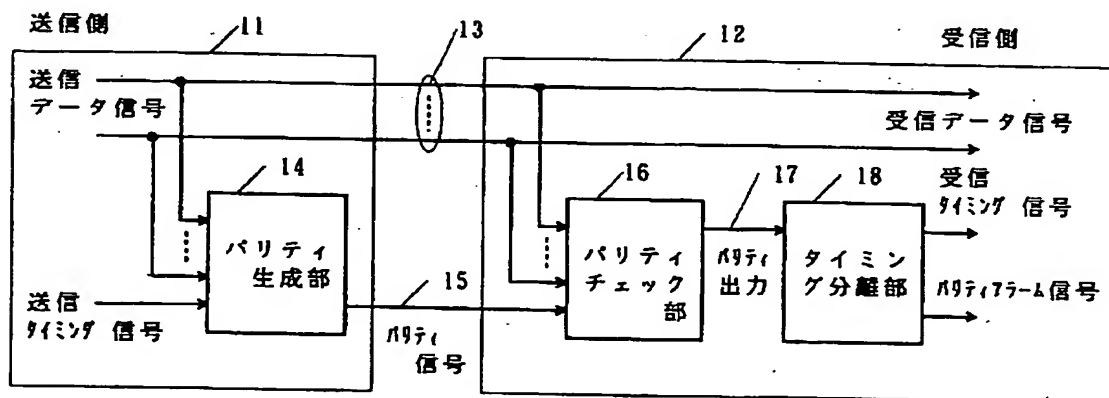
【図12】 信号線数が多い例。

【符号の説明】

| | |
|-------|-----------|
| 14 | パリティ生成部 |
| 16 | パリティチェック部 |
| 18 | タイミング分離部 |
| 21 | 選択回路 |
| 22、28 | シフトレジスタ |
| 23 | XOR回路 |
| 24、26 | 反転回路 |
| 25 | 連続一致検出回路 |
| 27 | OR回路 |
| 29 | AND回路 |
| 30 | リセット生成回路 |

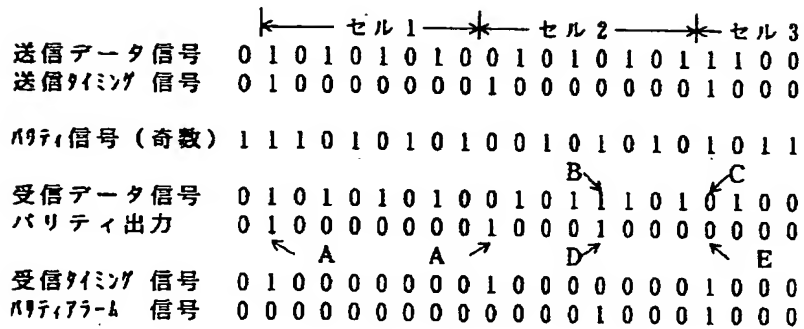
【図1】

本発明の第一の基本構成例



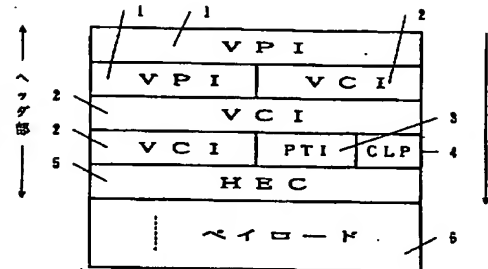
【図2】

本発明の第一の基本構成例に係るタイムチャート



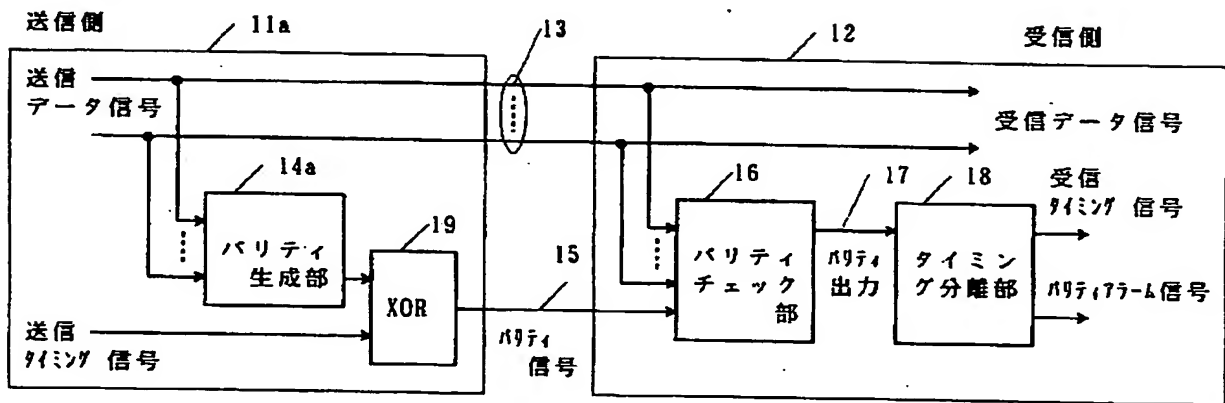
【図10】

従来のATMセルのフォーマット



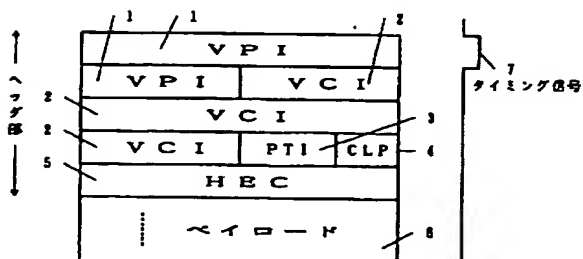
【図3】

本発明の第二の基本構成例



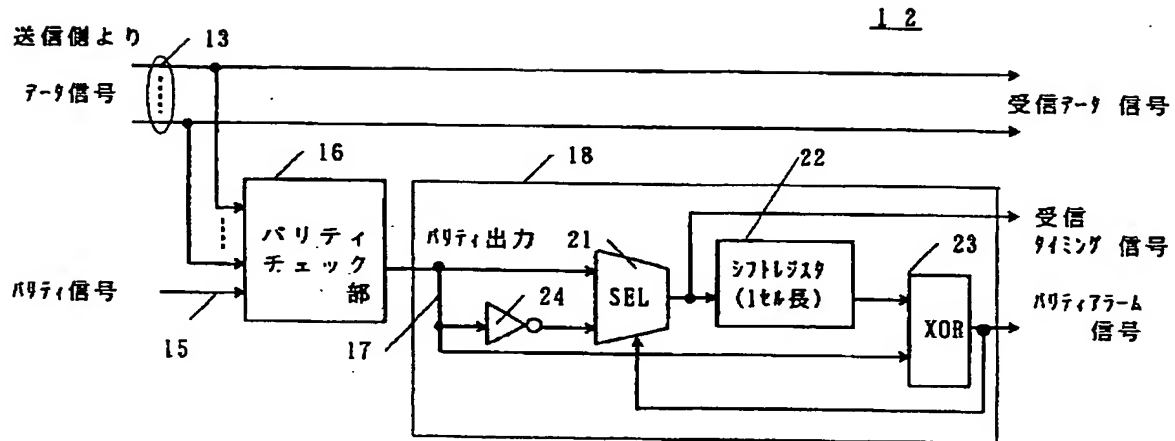
【図11】

従来のATMセル伝送においてタイミング信号を並列伝送する例



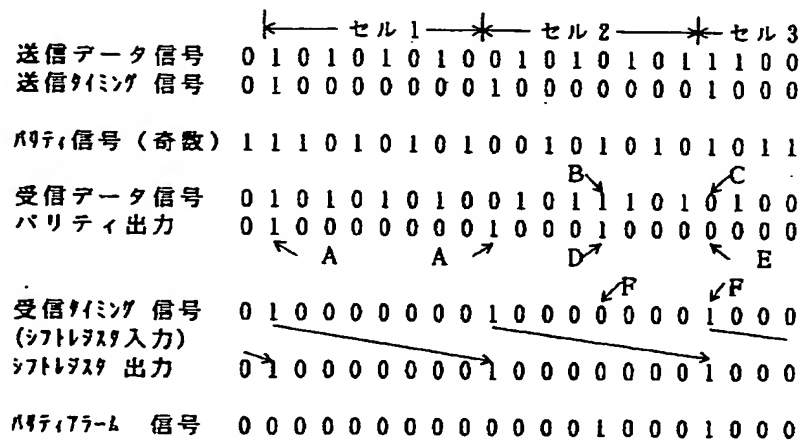
【図4】

本発明の受信側の第一の具体的構成例



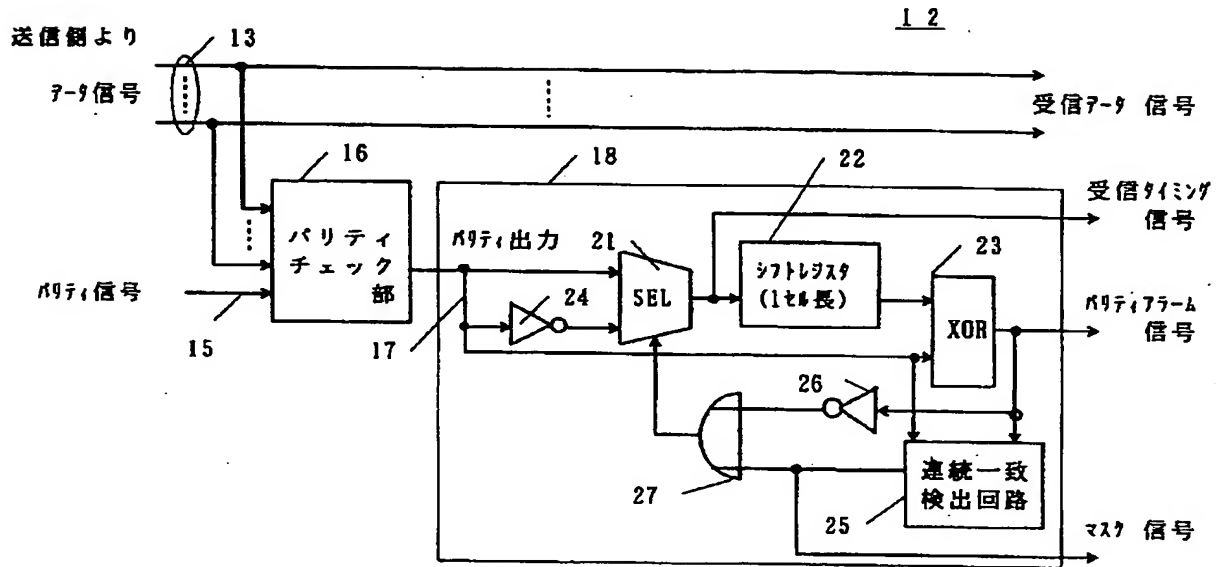
【図5】

本発明の受信側の第一の具体的構成例に係るタイムチャート



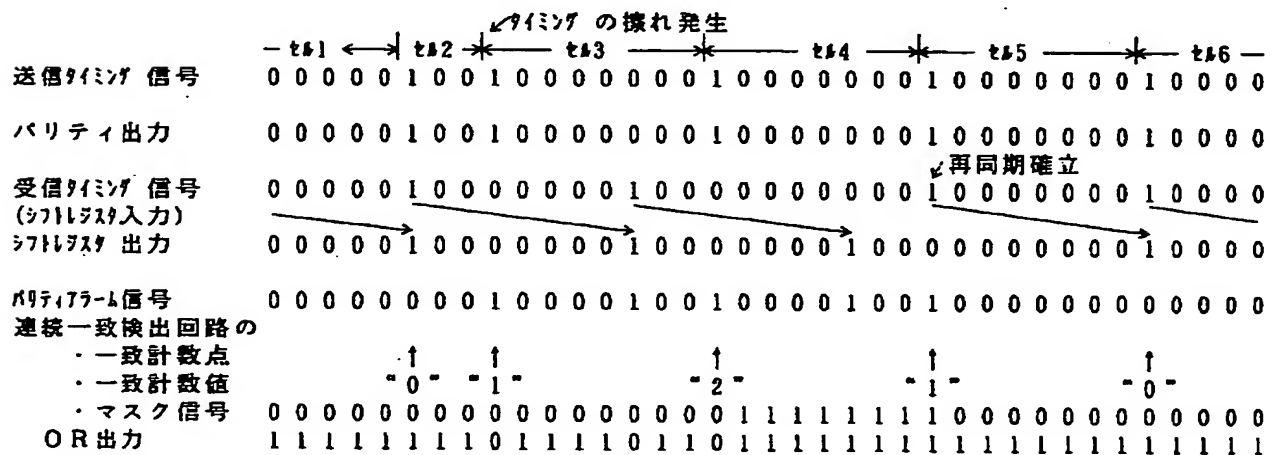
【図6】

本発明の受信側の第二の具体的構成例



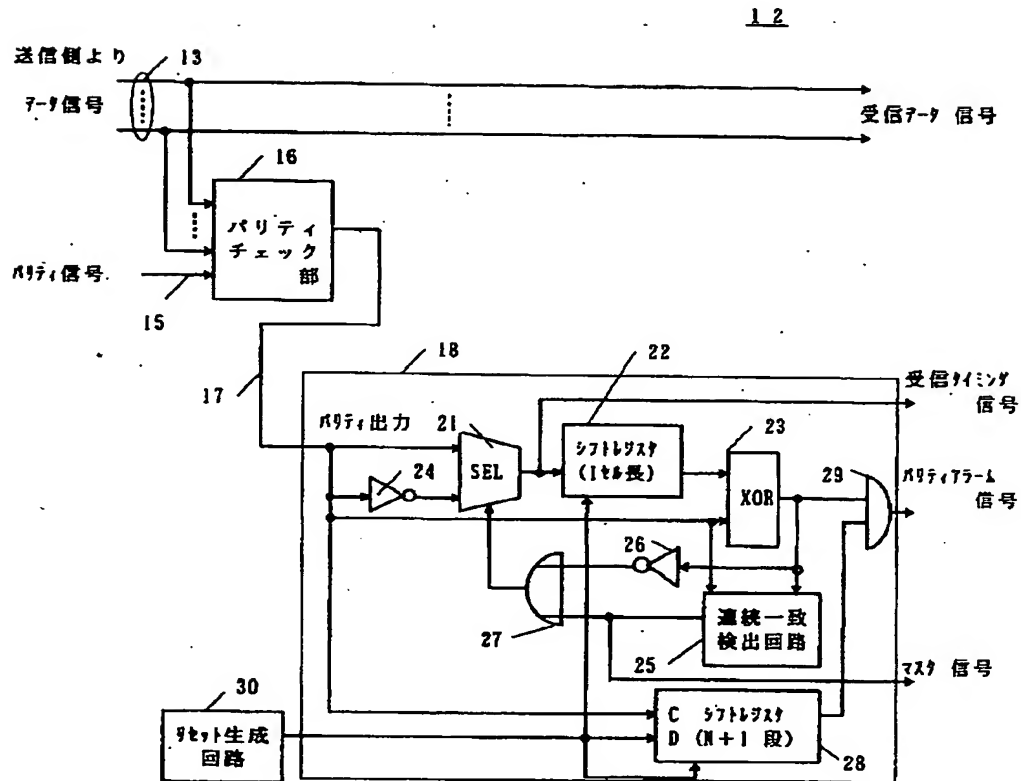
【図7】

本発明の受信側の第二の具体的構成例に係るタイムチャート



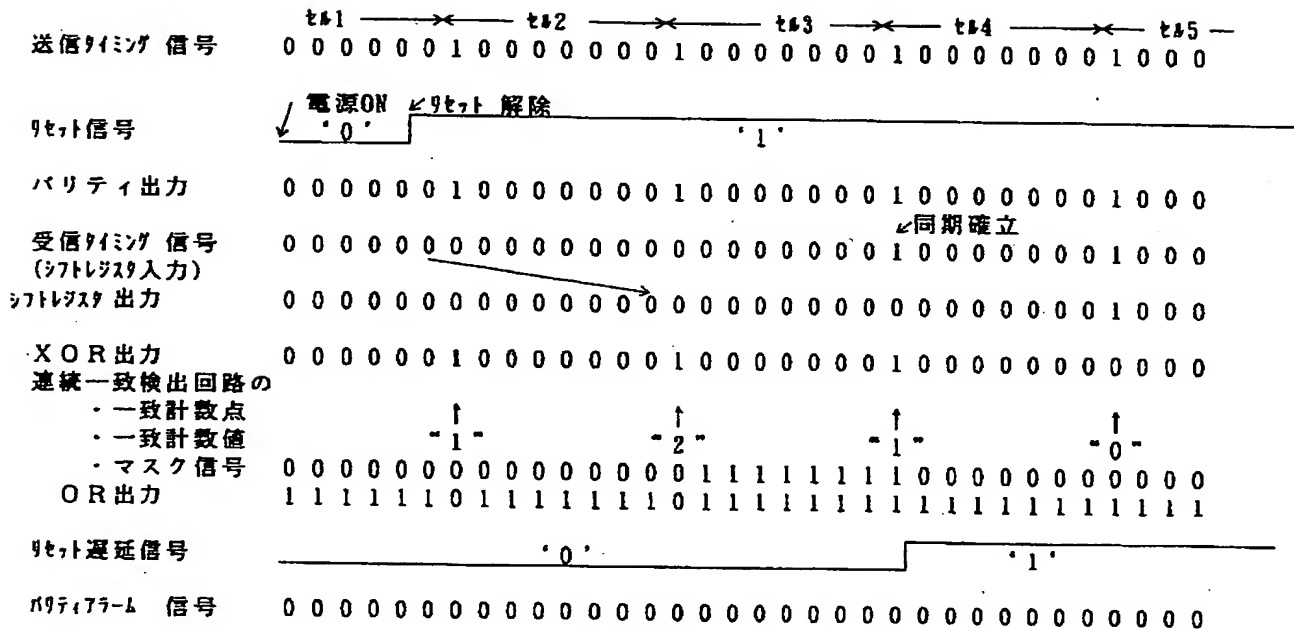
【図8】

本発明の受信側の第三の具体的構成例



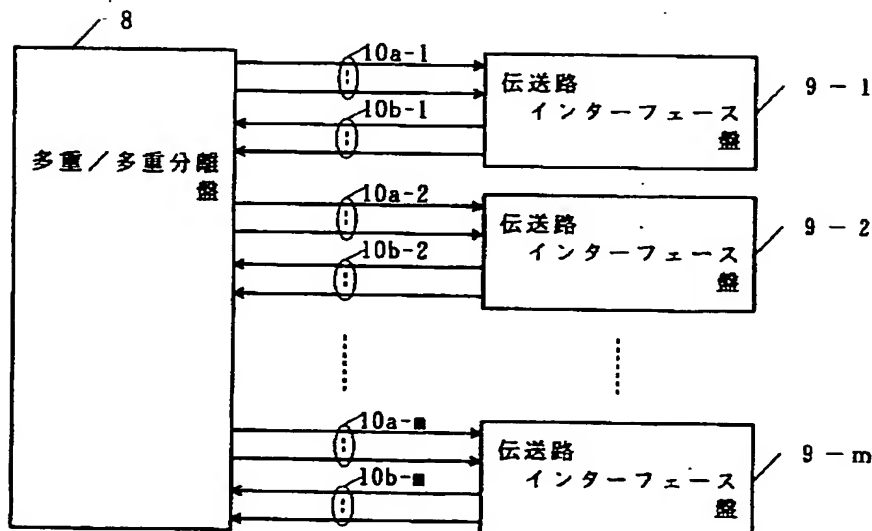
【図9】

本発明の受信側の第三の具体的構成例
に係るタイムチャート



【図12】

信号線数が多い例



フロントページの続き

Fターム(参考) 5K030 GA05 HA10 HB12 HB14 HB29
JA01 JL04 LA01 LA15
5K047 AA16 BB04 CC01 HH57 LL15
MM36
9A001 BB02 CC09 DD10 JJ18 LL09